

Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)



Applicant's or agent's file reference NEC03P027A	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP2003/007397	International filing date (day/month/year) 11 June 2003 (11.06.2003)	Priority date (day/month/year) 12 June 2002 (12.06.2002)
International Patent Classification (IPC) or national classification and IPC H01L 27/04, 21/822, 23/12, 23/50		
Applicant NEC CORPORATION		

- This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
- This REPORT consists of a total of 8 sheets, including this cover sheet.
☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).
These annexes consist of a total of 5 sheets.

- This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☒ Certain observations on the international application

Date of submission of the demand 11 June 2003 (11.06.2003)	Date of completion of this report 09 December 2003 (09.12.2003)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International Application No.

PC17/P2003/007397

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
 pages _____ 1-17 _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☒ the claims:
 pages _____ 5-10 _____, as originally filed
 pages _____, as amended (together with any statement under Article 19
 pages _____, filed with the demand
 pages _____ 1-3, 12-25 _____, filed with the letter of _____ 10 November 2003 (10.11.2003)
- ☒ the drawings:
 pages _____ 1-27 _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item. These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☒ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☒ the claims, Nos. _____ 4, 11 _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/JP/07397

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-3, 5-10, 12-25	YES
	Claims		NO
Inventive step (IS)	Claims	13, 14, 24, 25	YES
	Claims	1-3, 5-10, 12, 15-23	NO
Industrial applicability (IA)	Claims	1-3, 5-10, 12-25	YES
	Claims		NO

2. Citations and explanations

Document 1: US 2002/0024407 A1 (NEC Corporation), 28 February 2002

Document 2: US 2002/0011606 A1 (Shigenori Otake), 31 January 2002

Document 3: JP 6-216309 A (Oki Electric Industry Co., Ltd.), 5 August 1994

Document 4: JP 2001-274314 A (Kabushiki Kaisha Kankyo Denji Gijutsu Kenkyusho), 5 October 2001

Claims 1, 2, 5, 6, 18 and 19

The inventions set forth in claims 1, 2, 5, 6, 18 and 19 do not involve an inventive step in the light of documents 1 and 2 cited in the international search report.

Document 1 (paragraphs [0005] to [0011]) indicates the need to provide a noise filter to separate from the power supply system the high-frequency current generated by an LSI. Paragraphs [0047] to [0049] and fig. 1a-2 set forth the structure of a noise filter, wherein surfaces of aluminum are made irregular, and oxide films and opposing electrodes are provided, thereby reducing impedance at high frequencies.

Document 2 (paragraphs [0020] to [0022]) indicates that fluctuations in the power supply current of an LSI

are prevented by using the wiring of the power supply system to form a bypass capacitor on a semiconductor chip.

It would therefore be easy for a person skilled in the art to conceive of providing the invention set forth in document 1 on a semiconductor chip, as described in document 2, as the specific method for separating from the power supply system the high-frequency current generated by an LSI.

Determining the specific frequency of the noise to be reduced by the invention described in document 1 is merely a design feature which could be determined as necessary by a person skilled in the art.

Claim 3

The invention set forth in claim 3 does not involve an inventive step in the light of documents 1 and 2 cited in the international search report.

Document 1 (paragraphs [0032] to [0038]) indicates that in order to make the characteristic impedance sufficiently small, electrostatic capacity per unit of length is increased, and the length of the noise filter along the longest side is set to at least $1/4$ of the wavelength at which the wavelength is the longest, within the required frequency range of noise restrictions.

Claims 7 to 9 and 20

The inventions set forth in claims 7 to 9 and 20 do not involve an inventive step in the light of documents 1 and 2 cited in the international search report.

In the invention set forth in document 1, it would merely be a design feature which a person skilled in the art could accomplish as necessary to set the direction of transmission of signals with respect to surface irregularities to enable the desired noise to be removed.

Claims 10 and 21 to 23

The inventions set forth in claims 10 and 21 to 23 do not involve an inventive step in the light of documents 1 and 2 cited in the international search report.

Document 2 (paragraph [0074] and fig. 13) sets forth the example of a structure of a bypass capacitor formed on a semiconductor chip having surface irregularities applied to electrodes already having surface irregularities.

It would be easy for a person skilled in the art to conceive of employing the structure described in document 2 as the specific format of the surface irregularities in the invention set forth in document 1, in order to obtain the desired capacity values.

Claim 12

The invention set forth in claim 12 does not involve an inventive step in the light of documents 1 and 3 cited in the international search report.

Document 3 (paragraphs [0010] to [0012] and fig. 1) sets forth a structure wherein a decoupling capacitor is formed on a lead frame.

Therefore, it would be easy for a person skilled in the art to conceive of providing the invention described in document 1 on the lead frame, as described in document 3, as a specific method of separating from a power supply system the high-frequency current generated by an LSI.

Claims 15 to 17

The invention set forth in claims 15 to 17 does not involve an inventive step in the light of documents 1 to 4 cited in the international search report.

Document 4 (paragraphs [0026] to [0033] and fig. 4) sets forth a structure, wherein as an EMI countermeasure, the structure is divided up into zones such as integrated circuit, functional unit and equipment, and EMI filters

are provided.

Therefore, it would be easy for a person skilled in the art to conceive of providing the invention described in document 1 on a semiconductor chip, lead frame or printed circuit board, as a specific method of separating from the power supply system the high-frequency current generated by an LSI.

Determining the specific level at which fluctuations in DC power supply voltage should be suppressed, and the frequency of noise which should be reduced on a semiconductor chip, lead portion and printed circuit board, are merely design features which a person skilled in the art could determine as necessary.

Claims 13, 14, 24 and 25

The inventions set forth in claims 13, 14, 24 and 25 are not disclosed in any of the documents cited in the international search report, and are therefore novel. In addition, said inventions involve an inventive step in relation to the documents cited in the international search report.

Documents 1 to 4 do not indicate that a resin layer, having power supply leads on the upper part thereof, is formed on the ground potential surface, and that line elements provided in between power supply leads are formed thinner than the resin layer; that the power supply leads are provided in such a manner as to divide up the resin layer formed on top of the power leads, and that line elements are provided in a position which links the divided power supply leads; and that line elements are formed on the ground potential surface on an insulating substrate, and an insulating layer provided with an opening which extends from the top part to the bottom part, and having power supply leads formed thereupon, is installed on line elements. Moreover, it would not be easy

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/JP/07397

for a person skilled in the art to conceive of said
feature.

VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

Claim 24 is unclear.

With regard to the wording of claim 24, that "a resin layer is formed in a divided manner on part of the ground potential surface of the package of a semiconductor device, and the resin layer is formed in a divided manner on the aforementioned ground potential surface", according to said disclosure, the step of "forming a resin layer in a divided manner" is carried out twice consecutively, therefore the technical significance of said disclosure is unclear.

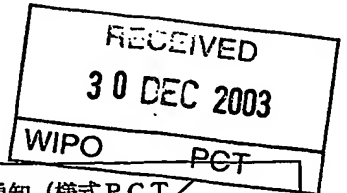
Rec'd PCT/PTO 10 DEC 2004

特 許 協 力 条 約

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]



出願人又は代理人 の書類記号 NEC03P027A	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/IPEA/416)を参照すること。		
国際出願番号 PCT/JP03/07397	国際出願日 (日.月.年) 11.06.03	優先日 (日.月.年) 12.06.02	
国際特許分類(IPC) Int. Cl. H01L27/04, H01L21/822, H01L23/12, H01L23/50			
出願人(氏名又は名称) 日本電気株式会社			

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 5 ページからなる。 <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で 5 ページである。
3. この国際予備審査報告は、次の内容を含む。 I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input type="checkbox"/> ある種の引用文献 VII <input type="checkbox"/> 国際出願の不備 VIII <input checked="" type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 11.06.03	国際予備審査報告を作成した日 09.12.03		
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 淵 真悟	4L	2933
	電話番号 03-3581-1101 内線 3496		

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

- ☒ 明細書 第 1-17 ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

- ☒ 請求の範囲 第 5-10 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 1-3, 12-25 項、 10.11.03 付の書簡と共に提出されたもの

- ☒ 図面 第 1-27 ページ/図、 出願時に提出されたもの
図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

- ☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 4, 11 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	1-3, 5-10, 12-25	有
	請求の範囲		無
進歩性(IS)	請求の範囲	13, 14, 24, 25	有
	請求の範囲	1-3, 5-10, 12, 15-23	無
産業上の利用可能性(IA)	請求の範囲	1-3, 5-10, 12-25	有
	請求の範囲		無

2. 文献及び説明(PCT規則70.7)

文献1: US 2002/0024407 A1 (NEC CORPORATION), 2002.02.28
 文献2: US 2002/0011606 A1 (SHIGENORI OTAKE), 2002.01.31
 文献3: JP 6-216309 A (沖電気工業株式会社), 1994.08.05
 文献4: JP 2001-274314 A (株式会社環境電磁技術研究所), 2001.10.05

請求の範囲 1, 2, 5, 6, 18, 19

請求の範囲1, 2, 5, 6, 18, 19に記載された発明は、国際調査報告で引用された文献1, 2から進歩性を有さない。

文献1の段落番号【0005】-【0011】には、LSIで発生する高周波電流を、電源系から分離するためのノイズフィルタを設ける必要性が記載されている。そして、段落番号【0047】-【0049】、第1A-2図には、アルミニウムの表面に凹凸をつけ、酸化皮膜、対向電極を設けることによって、高周波でのインピーダンスを小さくしたノイズフィルタの構造が記載されている。

文献2の段落番号【0020】-【0022】には、半導体チップ上に、電源系の配線を用いてバイパスコンデンサを形成することにより、LSIの電源電流変動を防止することが記載されている。

そうすると、LSIで発生する高周波電流を電源系から分離するための具体的方法として、文献1に記載された発明を、文献2に記載されたように、半導体チップ上に設けることは、当業者が容易に想到し得るものと認められる。

なお、文献1に記載された発明を、具体的にどのくらいの周波数のノイズの削減に用いるかは、当業者が適宜設定しうる設計的事項に過ぎない。

請求の範囲 3

請求の範囲3に記載された発明は、国際調査報告で引用された文献1, 2から進歩性を有さない。

文献1の段落番号【0032】-【0038】には、特性インピーダンスを十分小さいものとするために、単位長さ当たりの静電容量を大きくし、ノイズフィルタの長辺方向の長さを、要求されるノイズ規制の周波数範囲で、最も波長が長くなる波長の1/4以上とすることが記載されている。

Ⅷ. 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

請求の範囲 2 4 は不明瞭である。

請求の範囲 2 4 の「半導体装置のパッケージの一部の接地電位面上に樹脂層を分割して形成し、前記接地電位面上に樹脂層を分割して形成し」という記載について、当該記載では「樹脂層を分割して形成」する工程が連続して 2 回おこなわれるから、当該記載の技術的意味が不明瞭である。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V.2 欄の続き

請求の範囲 7-9, 20

請求の範囲7-9, 20に記載された発明は、国際調査報告で引用された文献1, 2より進歩性を有しない。

文献1に記載された発明において、凹凸に対する信号の伝送方向は、所望のノイズ除去が可能となるように、当業者が適宜設定し得る設計的事項に過ぎない。

請求の範囲 10, 21-23

請求の範囲10, 21-23に記載された発明は、国際調査報告で引用された文献1, 2より進歩性を有しない。

文献2の段落番号【0074】、第13図には、凹凸を有する電極にさらに凹凸を設けた、半導体チップ上に形成されたバイパスコンデンサの構造例が記載されている。

そして、文献1に記載された発明において、凹凸の具体的形状として、文献2に記載された構造を採用することは、所望の容量値を得るために、当業者が容易に想到し得るものと認められる。

請求の範囲 12

請求の範囲12に記載された発明は、国際調査報告で引用された文献1, 3より進歩性を有しない。

文献3の段落番号【0010】-【0012】、第1図には、リードフレームにデカップリングコンデンサを形成した構造が記載されている。

そうすると、LSIで発生する高周波電流を電源系から分離するための具体的方法として、文献1に記載された発明を、文献3に記載されたように、リードフレーム上に設けることは、当業者が容易に想到し得るものと認められる。

請求の範囲 15-17

請求の範囲15-17に記載された発明は、国際調査報告で引用された文献1-4より進歩性を有しない。

文献4の段落番号【0026】-【0033】、第4図には、EMI対策として、集積回路、機能ユニットや機器というゾーンに分割してEMIフィルタを設ける構造が記載されている。

そうすると、LSIで発生する高周波電流を電源系から分離するための具体的方法として、文献1に記載された発明を、半導体チップ、リードフレームやプリント基板上に設けることは、当業者が容易に想到し得るものと認められる。

なお、具体的に直流電源電圧の変動をどの程度に抑えるか、半導体チップ、リード部、プリント基板上において、それぞれどのような周波数のノイズ削減をおこなうかは、当業者が適宜設定しうる設計的事項に過ぎない。

請求の範囲 13, 14, 24, 25

請求の範囲13, 14, 24, 25に記載された発明は、国際調査報告で引用されたいずれの文献にも開示されておらず、新規性を有する。また、国際調査報告で引用されたいずれの文献に対しても進歩性を有する。

文献1-4のいずれにも、接地電位面上に電源リードが上部に形成された樹脂層を形成し、電源リード間に設ける線路素子を樹脂層よりも薄く形成すること、電源リードが上部に形成された樹脂層を分割して設け、分割された電源リードを中継する位置に線路素子を形成すること、絶縁基板上的接地電位面上に線路素子を形成し、上部から下部に至る開口を備え、上部に電源リードを形成した絶縁層を、線路素子上に搭載することは開示されていない。しかもその点は当業者といえども容易に想到し得ないものである。

請求の範囲

1. (補正後) 半導体チップ内に形成される、接地電位となる接地配線と電源電流が流れる電源配線とが絶縁膜を間に挟んで形成された複数の線路と、

前記線路間に流れる前記電源電流を中継する、前記線路の特性インピーダンスに比べて十分に小さい特性インピーダンスを備えた、前記半導体チップ内に形成される、前記接地配線と前記電源配線とが絶縁膜を間に挟んで形成された線路素子と、
を有する半導体装置。

2. (補正後) 前記線路素子は、

その特性インピーダンスが前記線路の特性インピーダンスに比べて十分に小さくなるように、単位長あたりのキャパシタンスが大きい請求項 1 記載の半導体装置。

3. (補正後) 前記線路素子の実効線路長は、

デカップリング対象の周波数範囲における最も低い周波数に対応する波長の $1/4$ よりも長い線路長である請求項 1 記載の半導体装置。

4. (削除)

5. 前記線路素子は、

前記接地配線と前記電源配線との距離が一定に保たれつつ凹凸状に形成された請求項 1 記載の半導体装置。

6. 前記線路素子は、

前記接地配線、前記絶縁膜及び前記電源配線に凹部または凸部の少なくともいずれか一方を有する請求項 5 記載の半導体装置。

7. 前記線路素子は、

前記信号伝送方向と直交する方向に前記凹凸状に形成された請求項 5 記載の半導体装置。

8. 前記線路素子は、

前記信号伝送方向に前記凹凸状に形成された請求項 5 記載の半導体装置。

9. 前記線路素子は、

信号伝送方向及び前記信号伝送方向と直交する方向それぞれに前記凹凸状に形成された請求項 5 記載の半導体装置。

10. 前記線路素子は、

前記凹凸状に形成された前記接地配線、前記絶縁膜及び前記電源配線の表面が、さらに複数の山型を有する形状に形成された請求項5記載の半導体装置。

11. (削除)

12. (補正後) 前記電源電流を外部から供給するための電源リードに実装される、接地電位となる接地配線と前記電源電流が流れる電源配線とが絶縁膜を間に挟んで形成された複数の線路と、

前記線路間に流れる前記電源電流を中継する、前記線路の特性インピーダンスに比べて十分に小さい特性インピーダンスを備えた、前記電源リードに実装される、前記接地配線と前記電源配線とが絶縁膜を間に挟んで形成された線路素子と、
を有する請求項1記載の半導体装置。

13. (補正後) 前記線路素子を挟むように接地電位面上に形成され、前記線路素子と端部で接続される前記電源リードが上部に形成された樹脂層を有し、

前記線路素子が、

前記樹脂層よりも薄く形成された請求項12記載の半導体装置。

14. (補正後) パッケージの一部の絶縁基板上に形成された線路素子と、

上部から下部に到る開口を備え、前記上部に前記電源リードが形成され、前記開口を通して前記線路素子の前記電源配線と該電源リードが接続される、前記線路素子上に搭載される絶縁層と、

を有する請求項12記載の半導体装置。

15. (補正後) 請求項12記載の半導体装置と、

接地電位となる接地配線と電源電流が流れる電源配線とが絶縁膜を間に挟んで形成された複数の線路、及び前記線路間に流れる前記電源電流を中継する、前記線路の特性インピーダンスに比べて十分に小さい特性インピーダンスを備えた、前記接地配線と前記電源配線とが絶縁膜を間に挟んで形成された線路素子を備え、前記半導体装置が搭載されるプリント基板と、

を有する半導体回路。

16. (補正後) 前記線路素子は、

前記電源配線に印加される直流電源電圧の変動が5%以下となる特性インピーダン

スを備えた請求項 1 5 記載の半導体回路。

1 7. (補正後) 前記半導体装置の半導体チップ内に実装された線路素子は、前記半導体チップで発生する高周波信号のうち、最も高い周波数でキャパシタンス特性を備え、

前記半導体装置の電源リードに実装される線路素子は、前記半導体チップ内に実装される線路素子よりも低い周波数領域でキャパシタンス特性を備え、

前記プリント基板上に実装される線路素子は、前記半導体装置の電源リードに実装される線路素子よりも低い周波数領域でキャパシタンス特性を備える請求項 1 5 記載の半導体回路。

1 8. (補正後) 接地電位となる接地配線と電源電流が流れる電源配線とが絶縁膜を間に挟んで形成された複数の線路を備えた半導体装置の製造方法であって、

前記線路間に流れる前記電源電流を中継する、前記線路の特性インピーダンスに比べて十分に小さい特性インピーダンスを備えた、前記接地配線と前記電源配線とが絶縁膜を間に挟んで配置された線路素子を半導体チップ内に形成するための素子形成ステップを有する半導体装置の製造方法。

1 9. (補正後) 前記素子形成ステップは、

前記接地配線を形成し、

前記接地配線をパターンニングして凹凸状に形成し、

前記接地配線上に前記絶縁膜を形成し、

前記絶縁膜上に前記電源配線を形成する請求項 1 8 記載の半導体装置の製造方法。

2 0. (補正後) 前記素子形成ステップは、

前記接地配線を形成し、

前記接地配線をパターンニングして、信号伝送方向及び前記信号伝送方向と直交する方向それぞれを凹凸状に形成し、

前記接地配線上に前記絶縁膜を形成し、

前記絶縁膜上に前記電源配線を形成する請求項 1 8 記載の半導体装置の製造方法。

2 1. (補正後) 前記素子形成ステップは、

前記接地配線を形成し、

前記接地配線をパターンニングして凹凸状に形成し、

前記凹凸状の表面に、さらに凹部を形成し、

前記接地配線上に前記絶縁膜を形成し、

前記絶縁膜上に前記電源配線を形成する請求項18記載の半導体装置の製造方法。

22. (補正後) 前記素子形成ステップは、

前記接地配線を形成し、

前記接地配線をパターンニングして凹凸状に形成し、

前記凹凸状の表面に、さらに凸部を形成し、

前記接地配線上に前記絶縁膜を形成し、

前記絶縁膜上に前記電源配線を形成する請求項18記載の半導体装置の製造方法。

23. (補正後) 前記素子形成ステップは、

前記接地配線を形成し、

前記接地配線をパターンニングして凹凸状に形成し、さらにその表面に複数の山型を有する形状で形成し、

前記接地配線上に前記絶縁膜を形成し、

前記絶縁膜上に前記電源配線を形成する請求項18記載の半導体装置の製造方法。

24. (補正後) 半導体装置のパッケージの一部の接地電位面上に樹脂層を分割して形成し、

前記接地電位面上に樹脂層を分割して形成し、

前記樹脂層上に前記電源電流を外部から供給するための電源リードをそれぞれ形成し、

分割された前記電源リードどうしを中継する位置に、前記線路の特性インピーダンスに比べて十分に小さい特性インピーダンスを備えた、前記接地電位面上に絶縁膜を間に挟んで電源配線が配置された線路素子を形成する請求項18記載の半導体装置の製造方法。

25. (追加) 半導体装置のパッケージの一部の絶縁基板上に接地電位面を形成し、

前記絶縁基板上に接地電位面を形成し、

前記接地電位面上に絶縁膜を間に挟んで電源配線が配置された線路素子を形成し、

前記絶縁基板とは別体に設けた絶縁層に開口を形成し、

前記絶縁層の上部、及び該上部から前記開口内壁を介して前記開口下部に到る前記

電源電流を外部から供給するための電源リードを形成し、

前記絶縁基板に前記絶縁層を貼り合わせて、前記開口下部の電源リードと前記線路

素子上に形成された電源配線とをそれぞれ接続する請求項1-8記載の半導体装置の製

造方法。